CTLE Design

김호윤

1. CTLE spec

- Process: GPDK090

- Loading capacitance: 50fF

- VDD = 1.2V

- AC gain: 2 (6dB)

- DC gain: 1 (0dB)

- Zero frequency: 100MHz

- Band Width: 15GHz

- Differential input range: 300mVPP (600mVDPP)

- common input and output range: 약 700mV정도

- 테스트벤치: DC-OP 시뮬레이션, DC 시뮬레이션(VTC), AC 시뮬레이션(Frequency response)

2. Finding operating point (Vstar, VDS, ID/W)

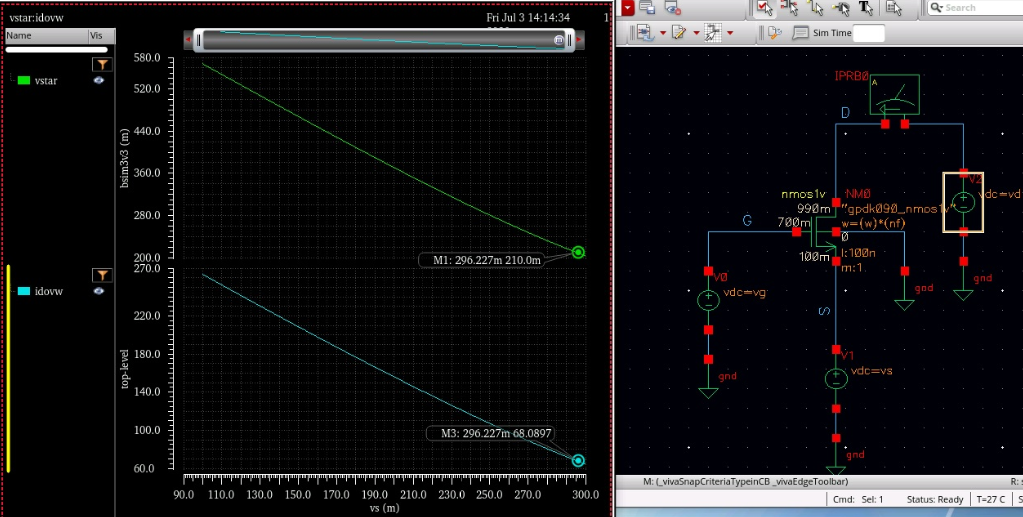
▶ 시뮬레이션 전 손 계산.

Vstar = Vin\_dm/2\*1.414 = 0.3/2\*1.414 = 210mV.

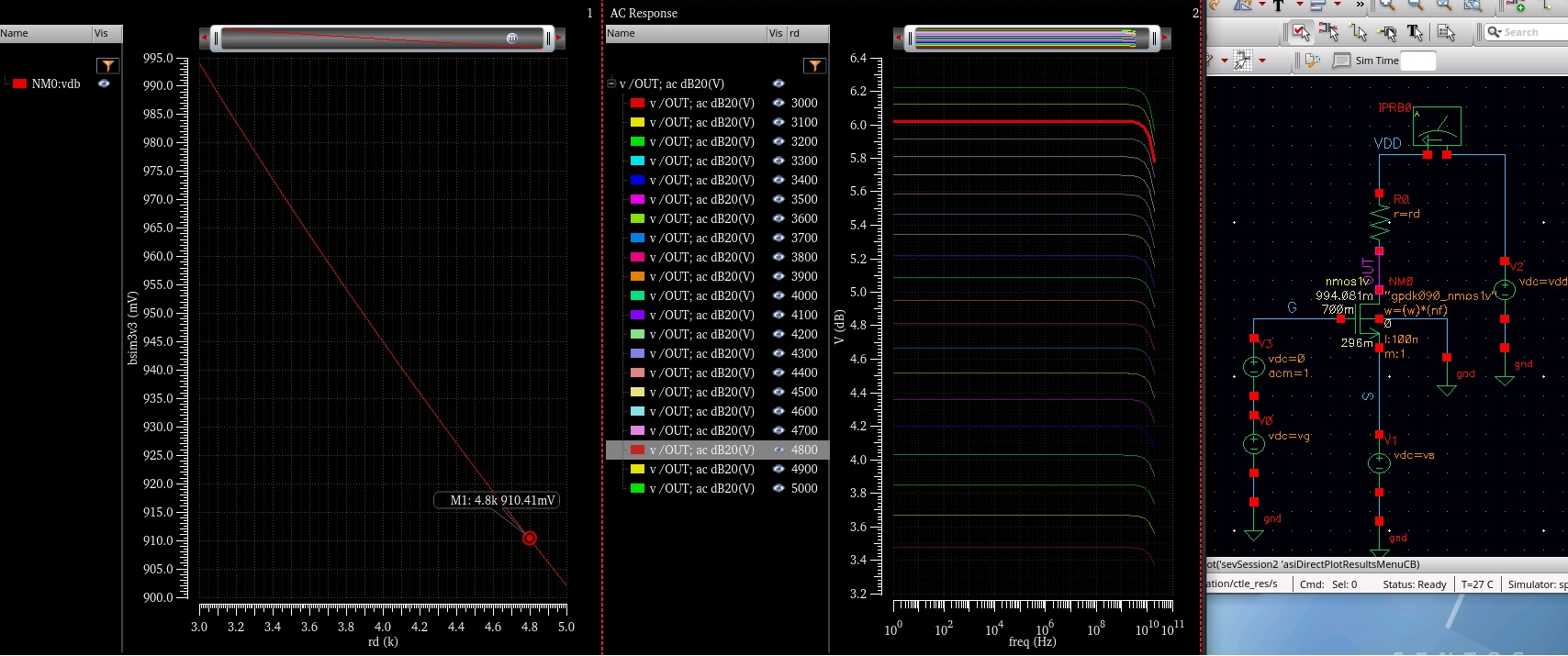
V\_OCM = VDD – A\*Vstar/2 = 1.2 – 2\*0.21/2 = 0.99V.

이 두 값을 처음 시뮬레이션 데이터에 입력.

▶ 시뮬레이션.



[vstar = 296mV, ID/W = 68.1]



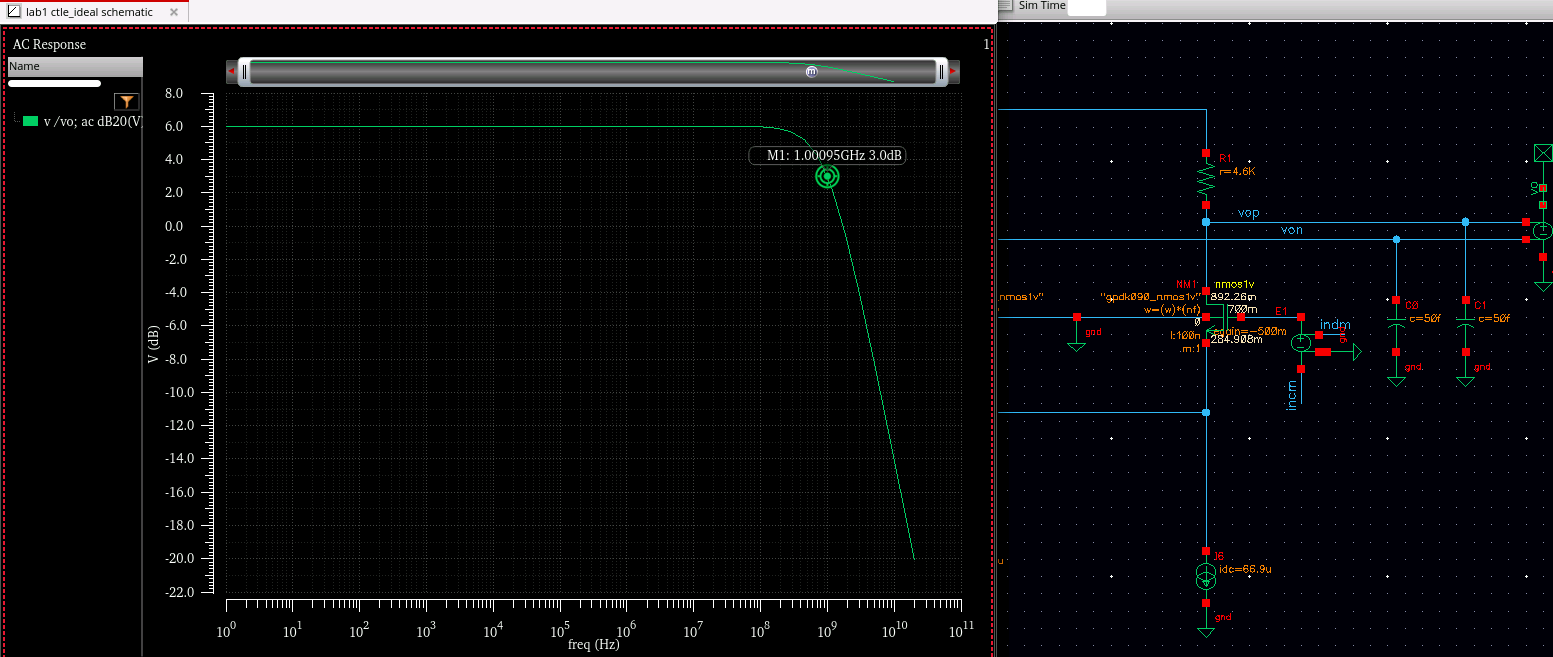
[rd = 4.8kΩ에서 gain =2, V\_OCM = 910mV]

V\_OCM = 910mV로 반복한 결과 Vs = 287mV, rd = 4.6kΩ, V\_OCM = 897mV.

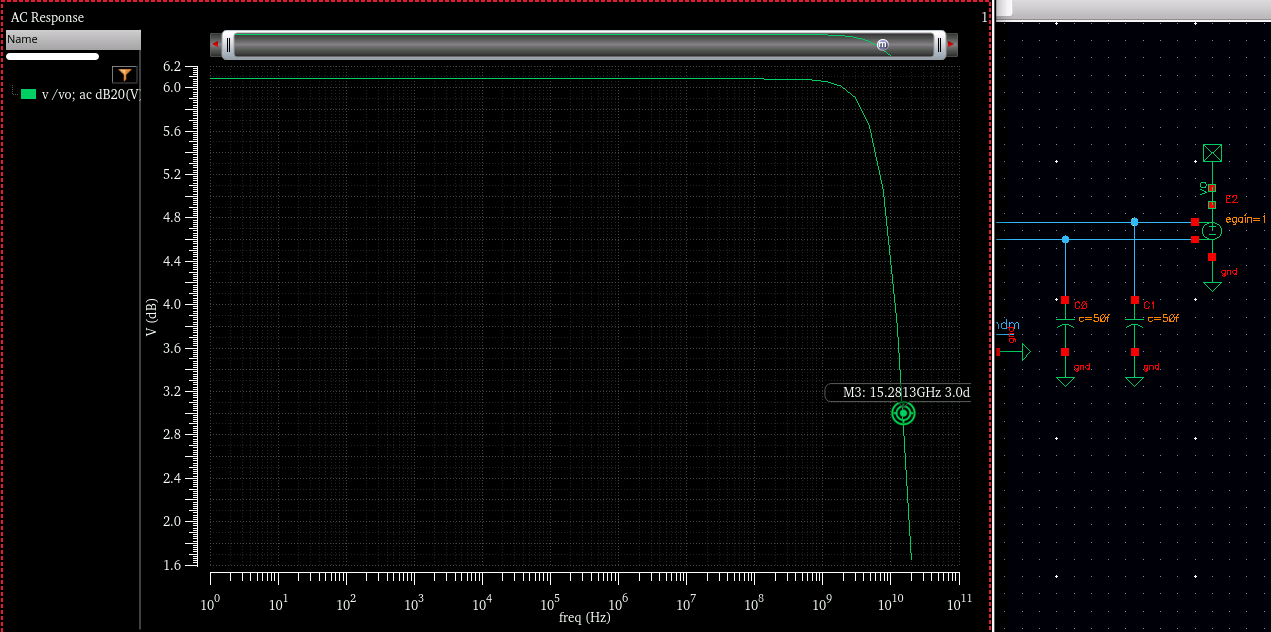
다시 한번 한 결과 Vs = 284.9mV, rd = 4.6kΩ, V\_OCM = 892mV, ID/W= 66.9로 수렴하는 값을 보였다.

3. Finding bias current for BW

2번에서 찾은 ID/W= 66.9를 이용하여 tail current source를 66.9uA가 흐르는 ideal current source로 달아주었다.

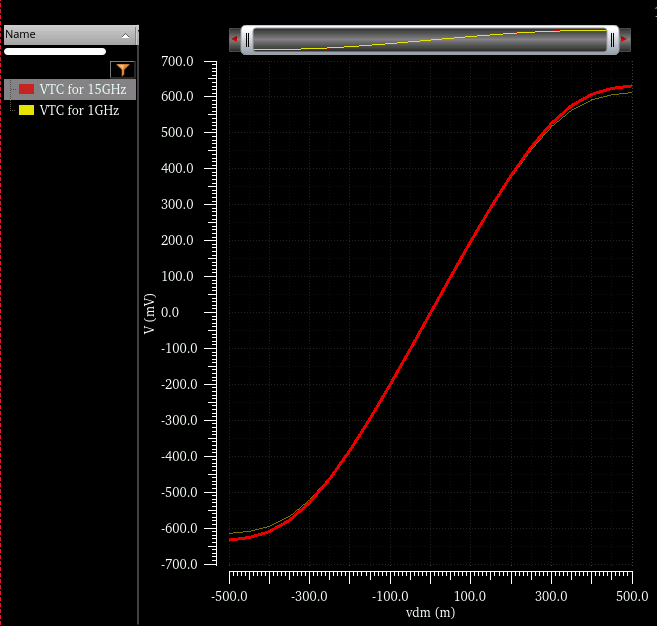


BW는 1GHz가 나왔고 목표 BW인 15GHz를 맞춰주기 위해 18배 scaling up.



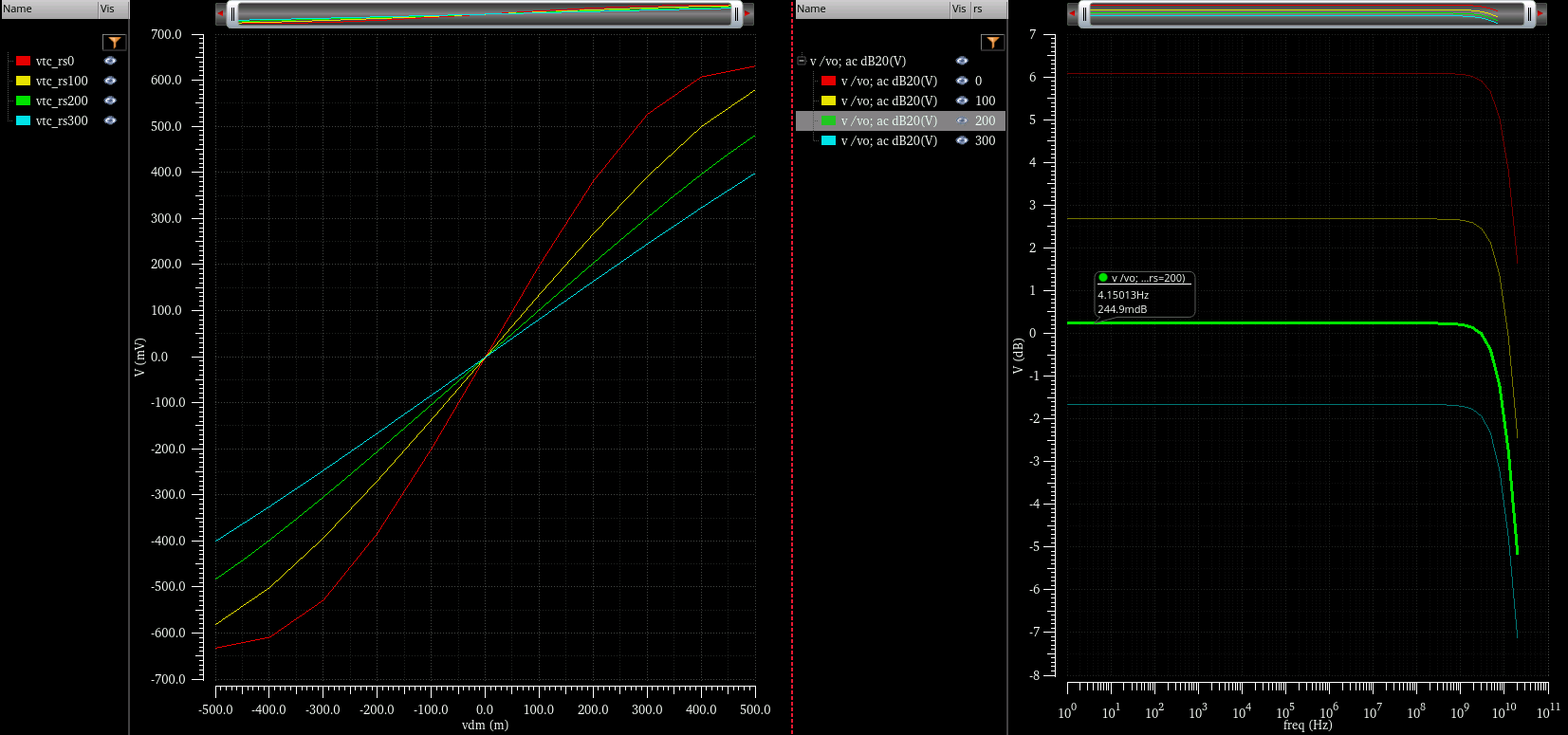
BW가 15.3GHz로 관찰되었다.

1GHz일 때와 scaling up하여 15GHz를 맞춰주었을 때 VTC 결과는 다음과 같다.



4. Finding Rs for DC gain 0dB

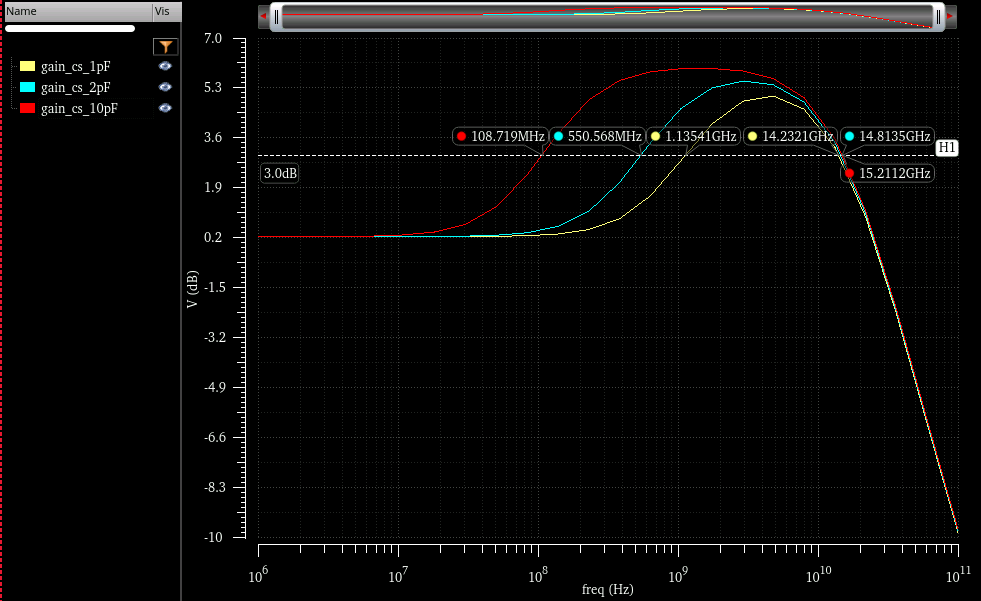
Rs를 0, 100, 200, 300에 대해서 sweep한 결과



VTC를 보면 Rs 저항이 증가할수록 gain은 줄어들지만 linearity가 증가하는 것이 관찰된다.

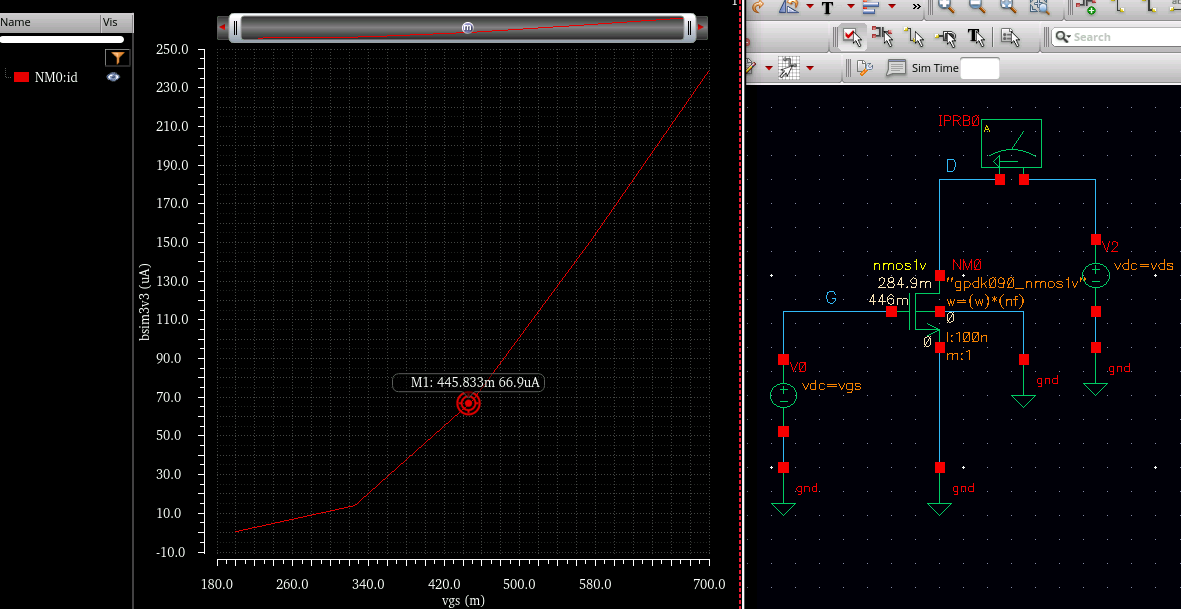
DC gain이 0dB가 되는 지점은 Rs가 200Ω이다.

5. Finding Cs for zero frequency



Cs가 10pF일 때 zero frequency가 설계 목표인 100MHz 부근으로 나온다.

5. ideal current source를 nmos로 디자인

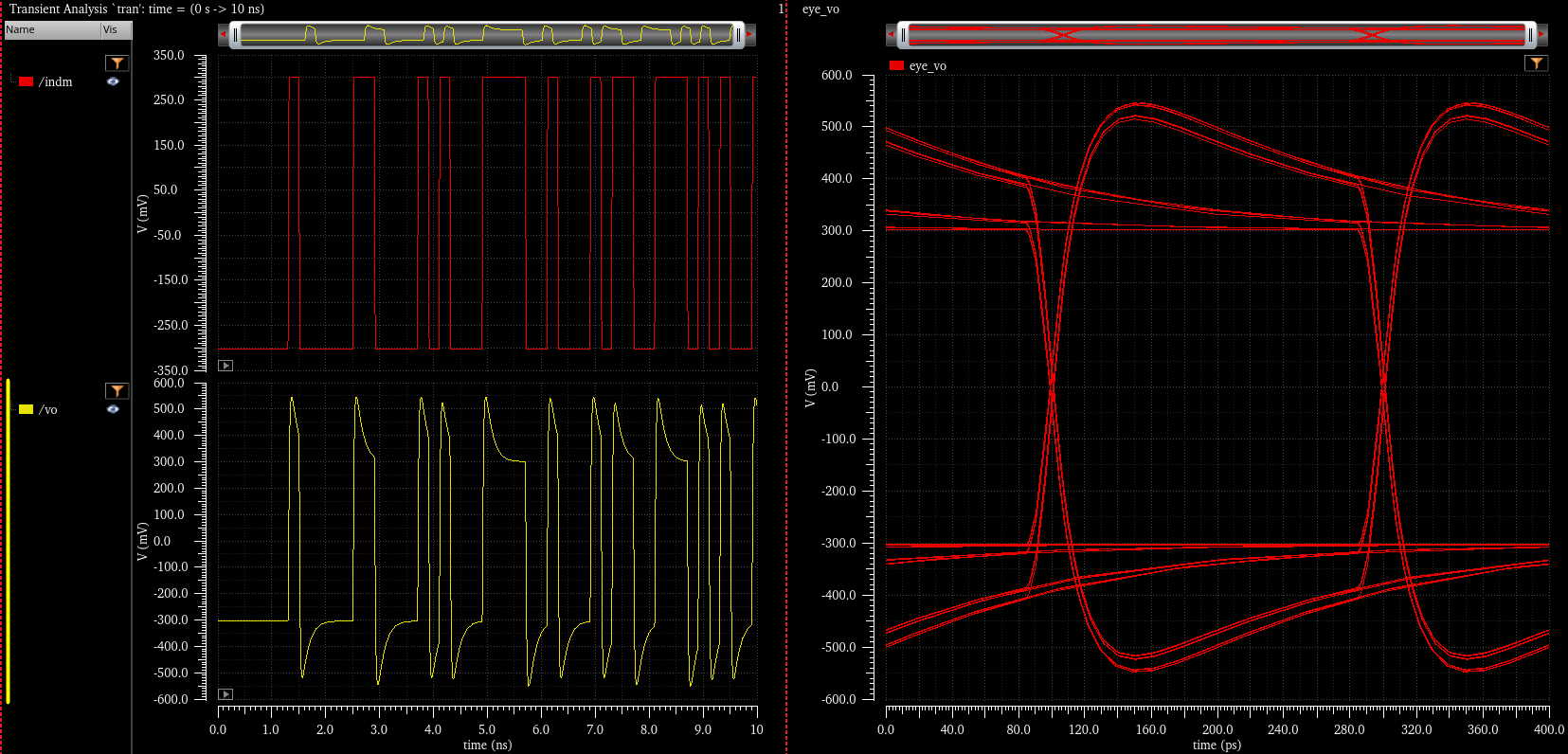


VGS=445.8mV를 걸어주면 66.9uA가 흐르는 current source가 된다. Ideal current source 대신 이 current source를 달고 위 과정을 반복해도 비슷한 결과가 나왔다.

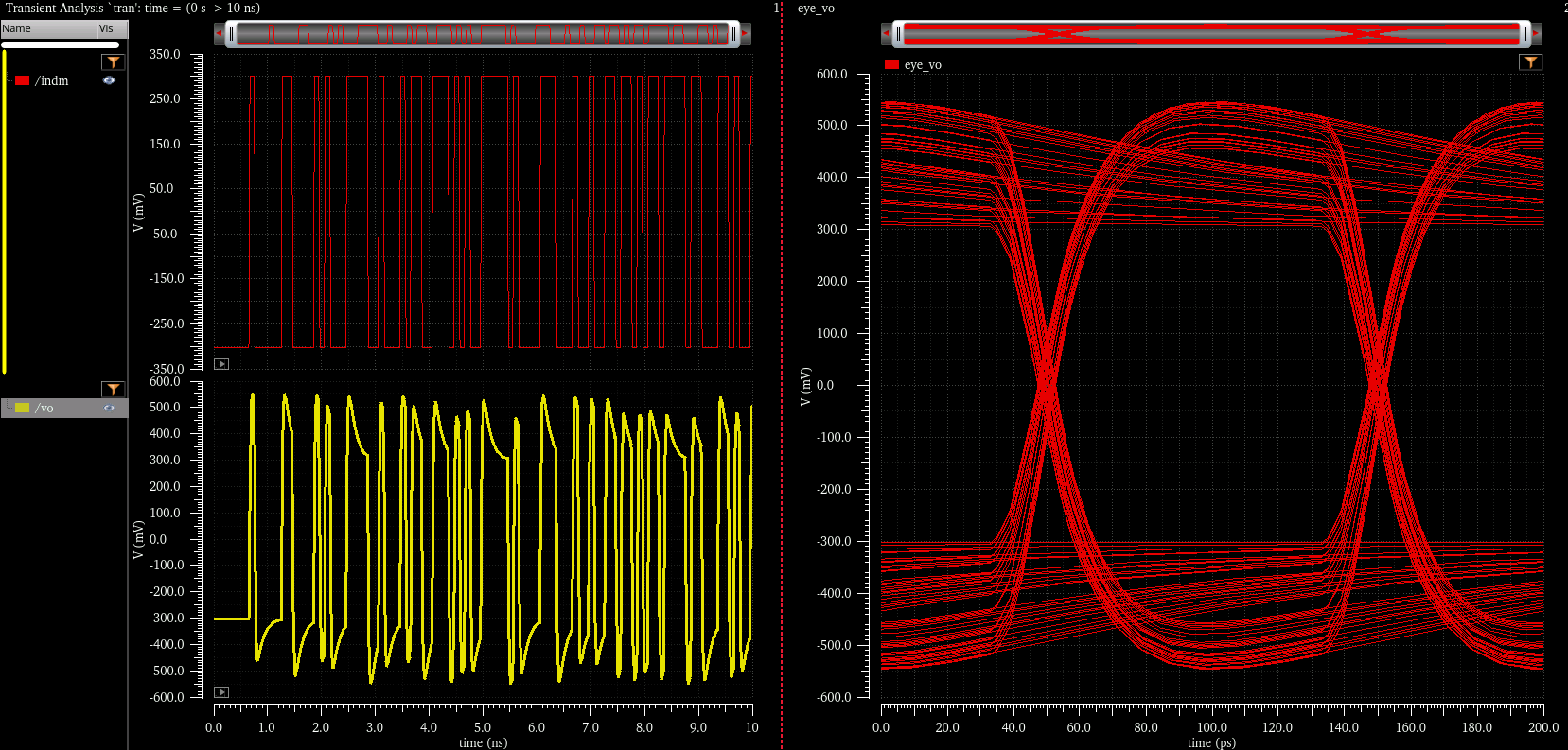
Transient simulation

1. CTLE 입력에 데이터 신호 인가 후 출력 파형 및 아이다이어그램 플롯

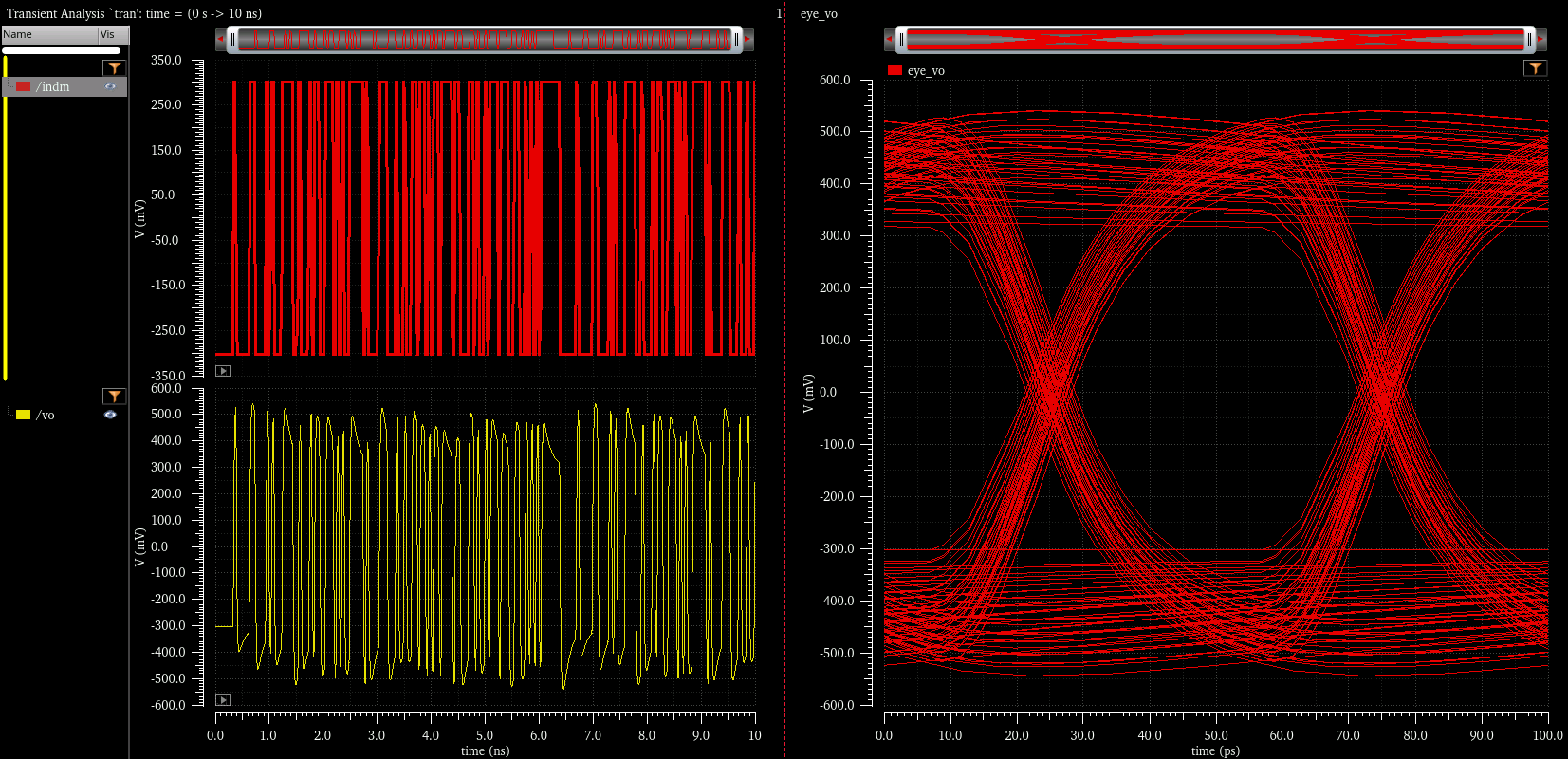
5Gb/s 신호를 인가한 결과



10Gb/s 신호를 인가한 결과

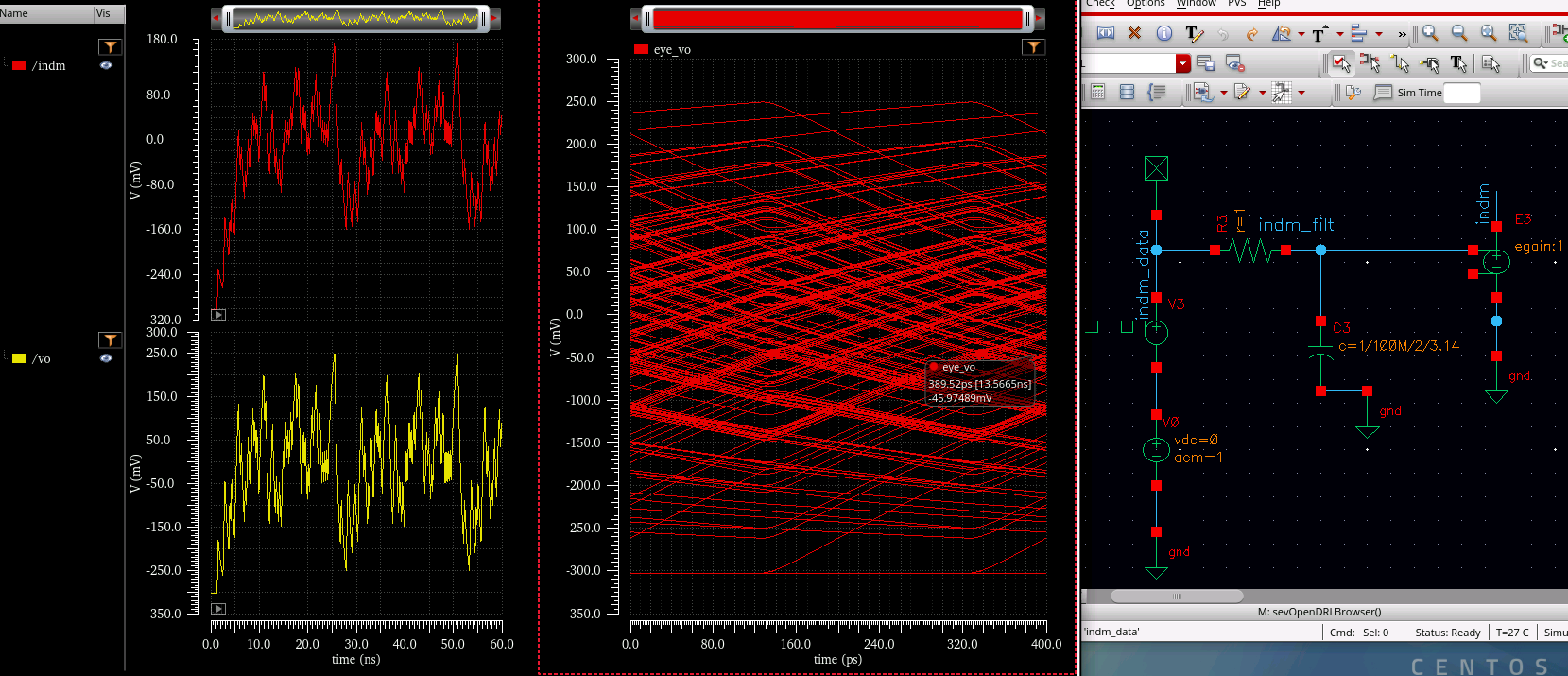


20Gb/s 신호를 인가한 결과

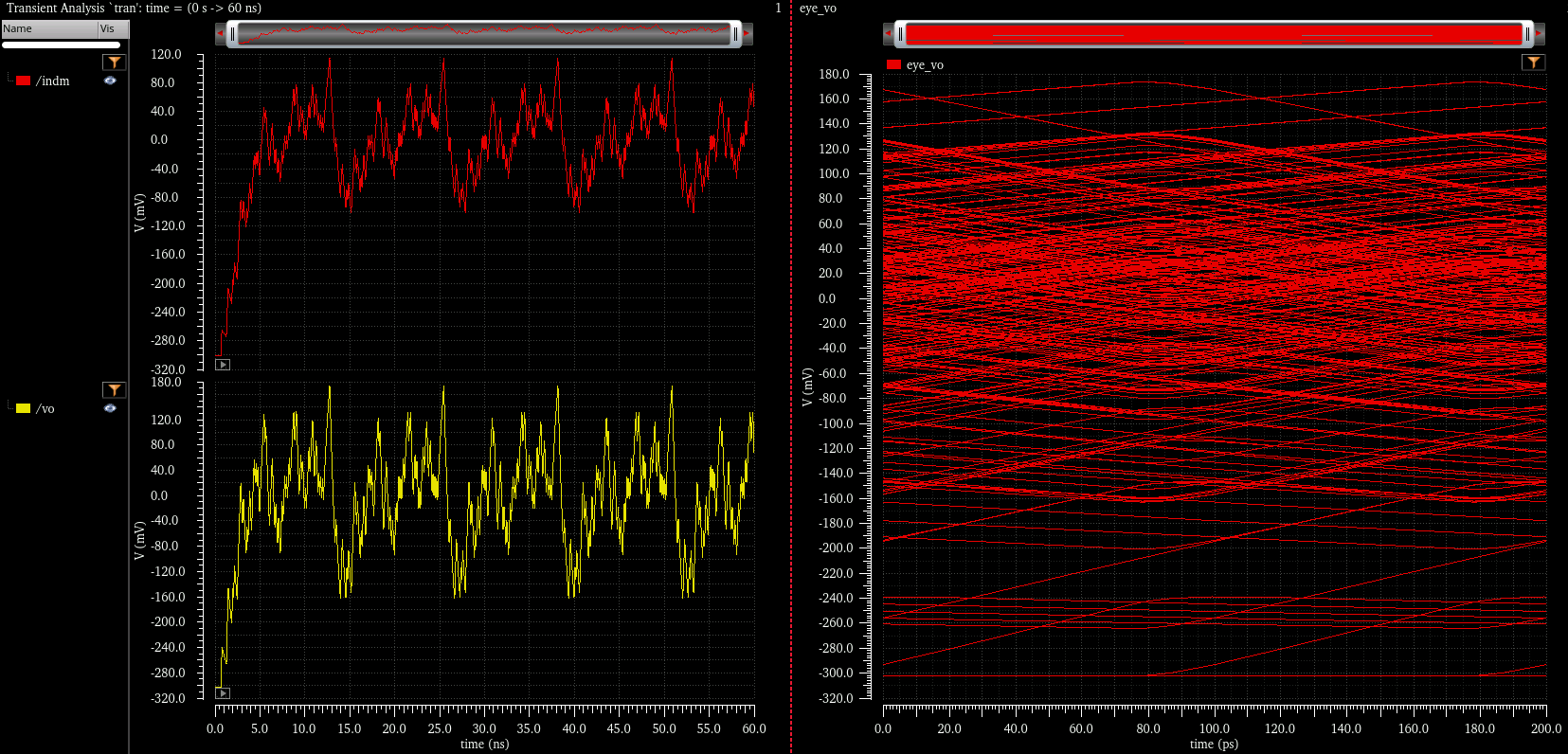


2. CTLE 입력에 cut-off frequency가 100MHz인 1st\_order low pass filter로 만든 채널을 연결하고 데이터 신호 인가 후 출력 파형 및 아이다이어그램 플롯

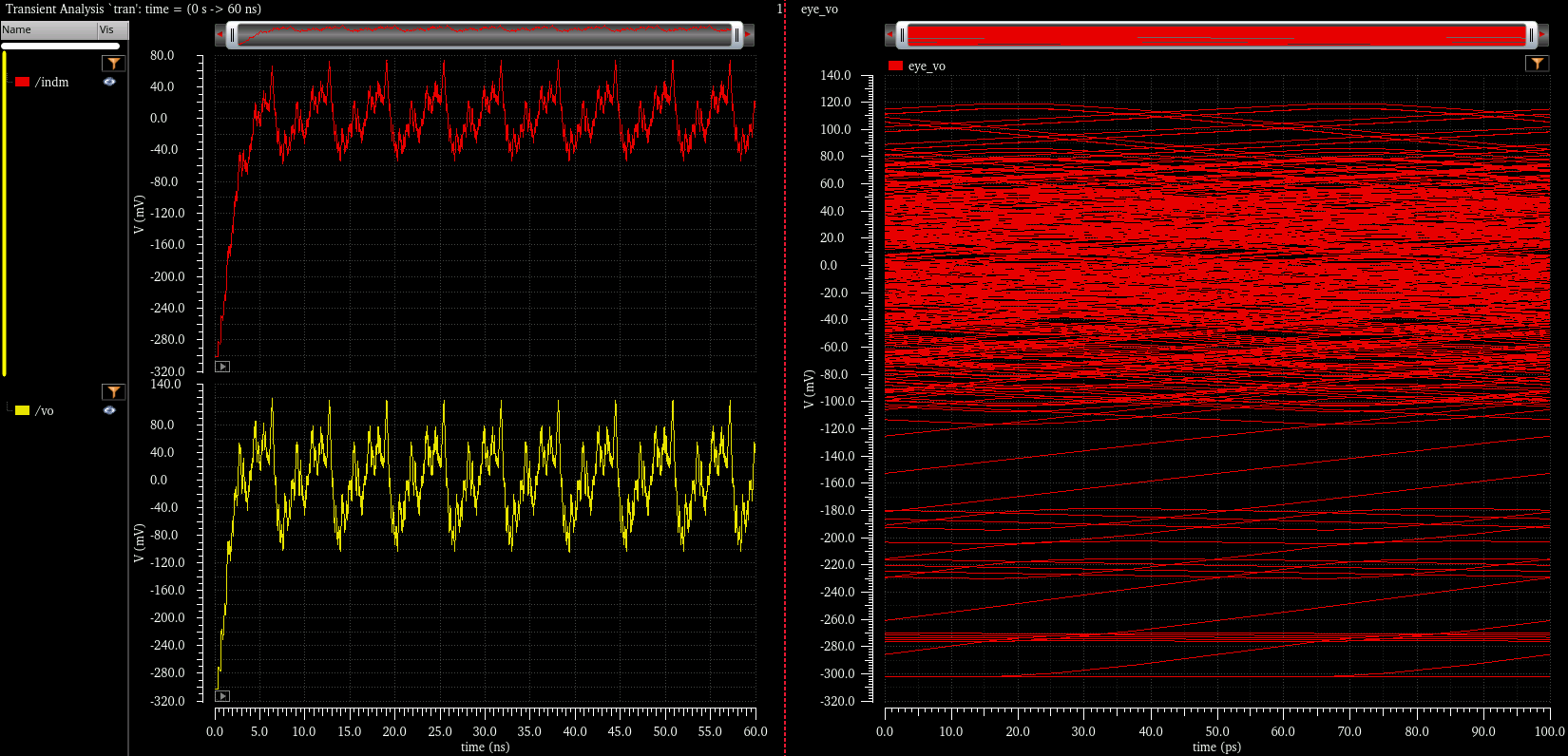
5Gb/s 신호를 인가한 결과



10Gb/s 신호를 인가한 결과

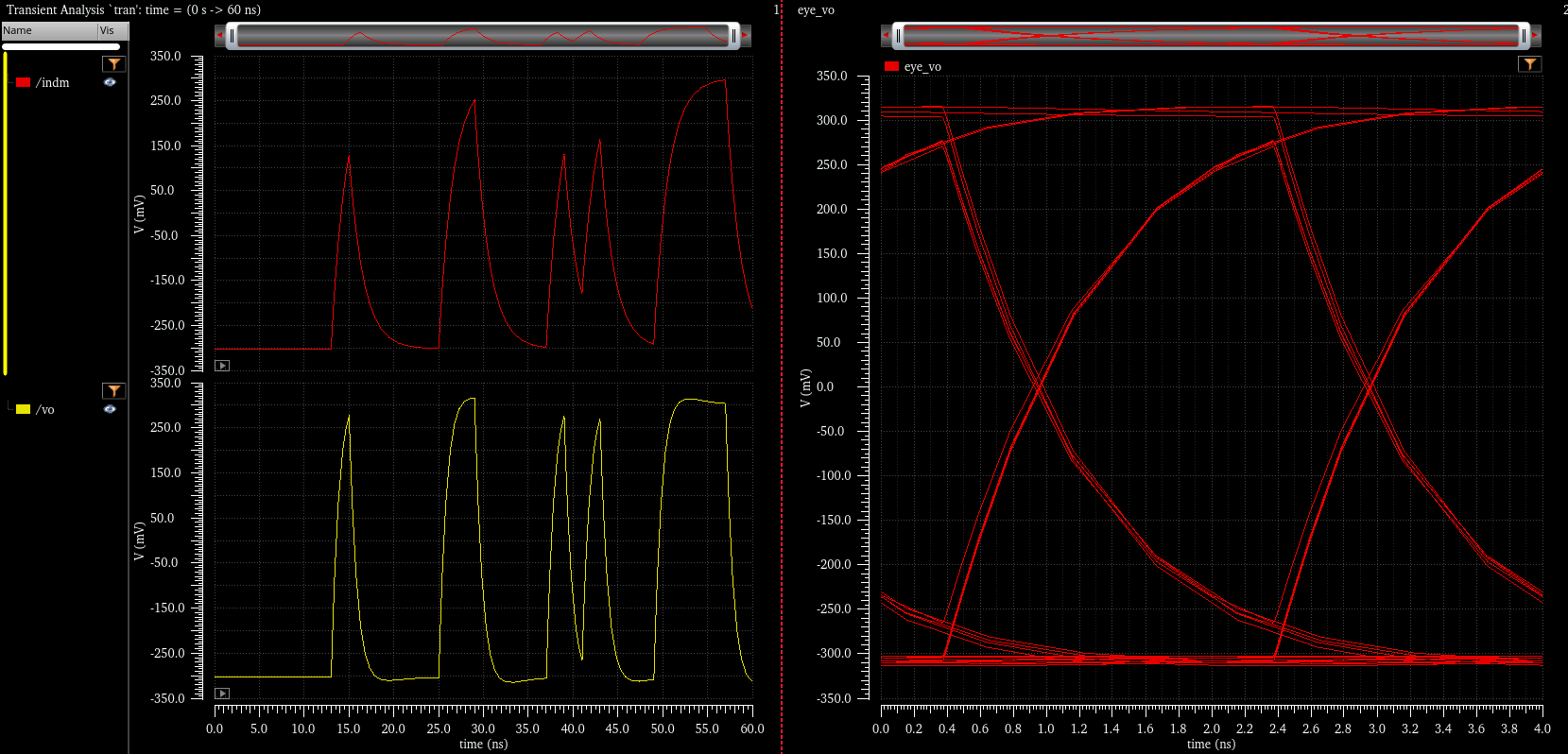


20Gb/s 신호를 인가한 결과

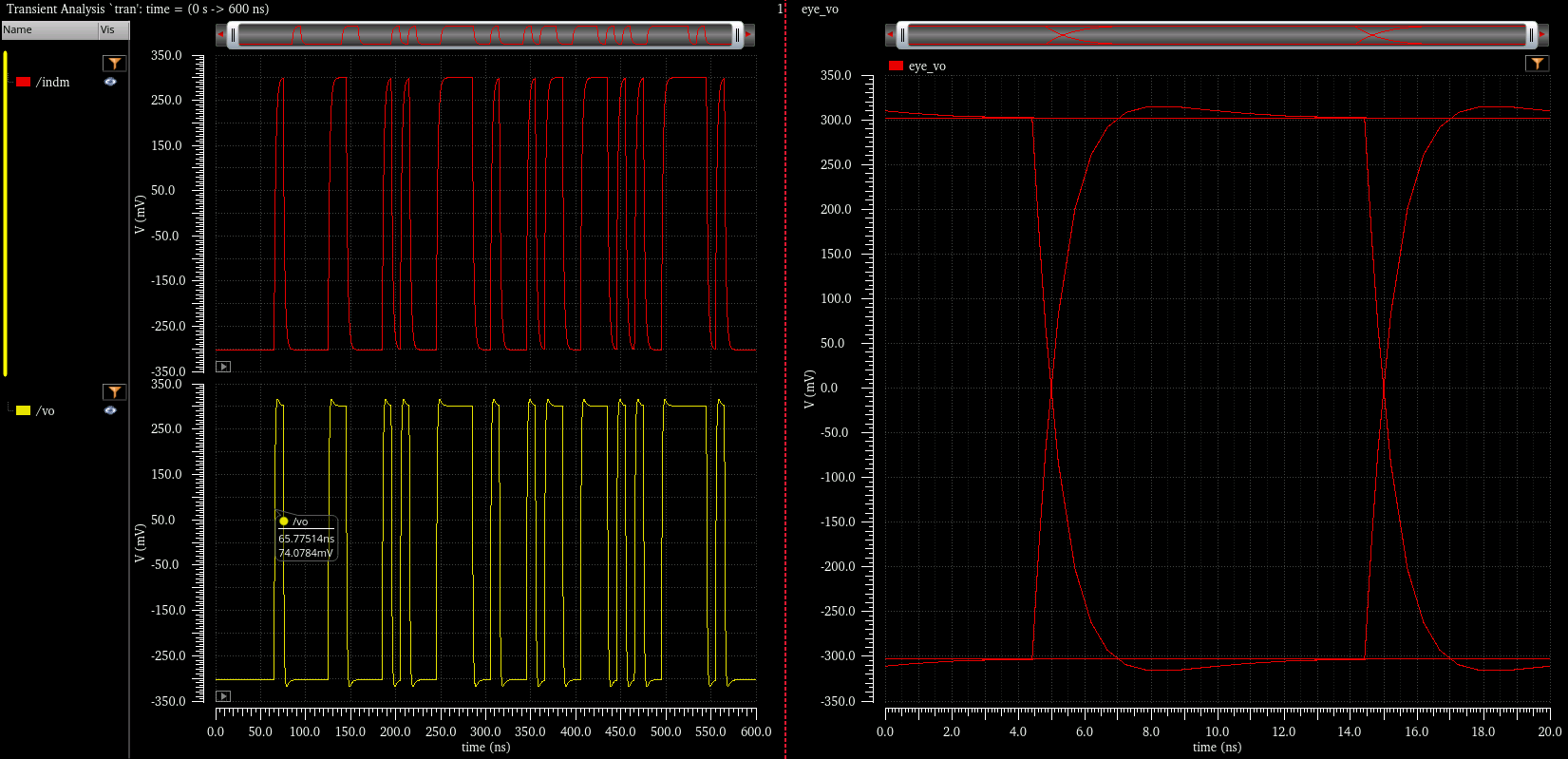


Data rate가 높아서 channel에서의 loss가 크고 결과가 잘 나오지 않는 것으로 관찰된다. 100MHz임을 고려하여 data rate를 500Mb/s/ 100Mb/s로 한 결과는 다음과 같다.

500Mb/s



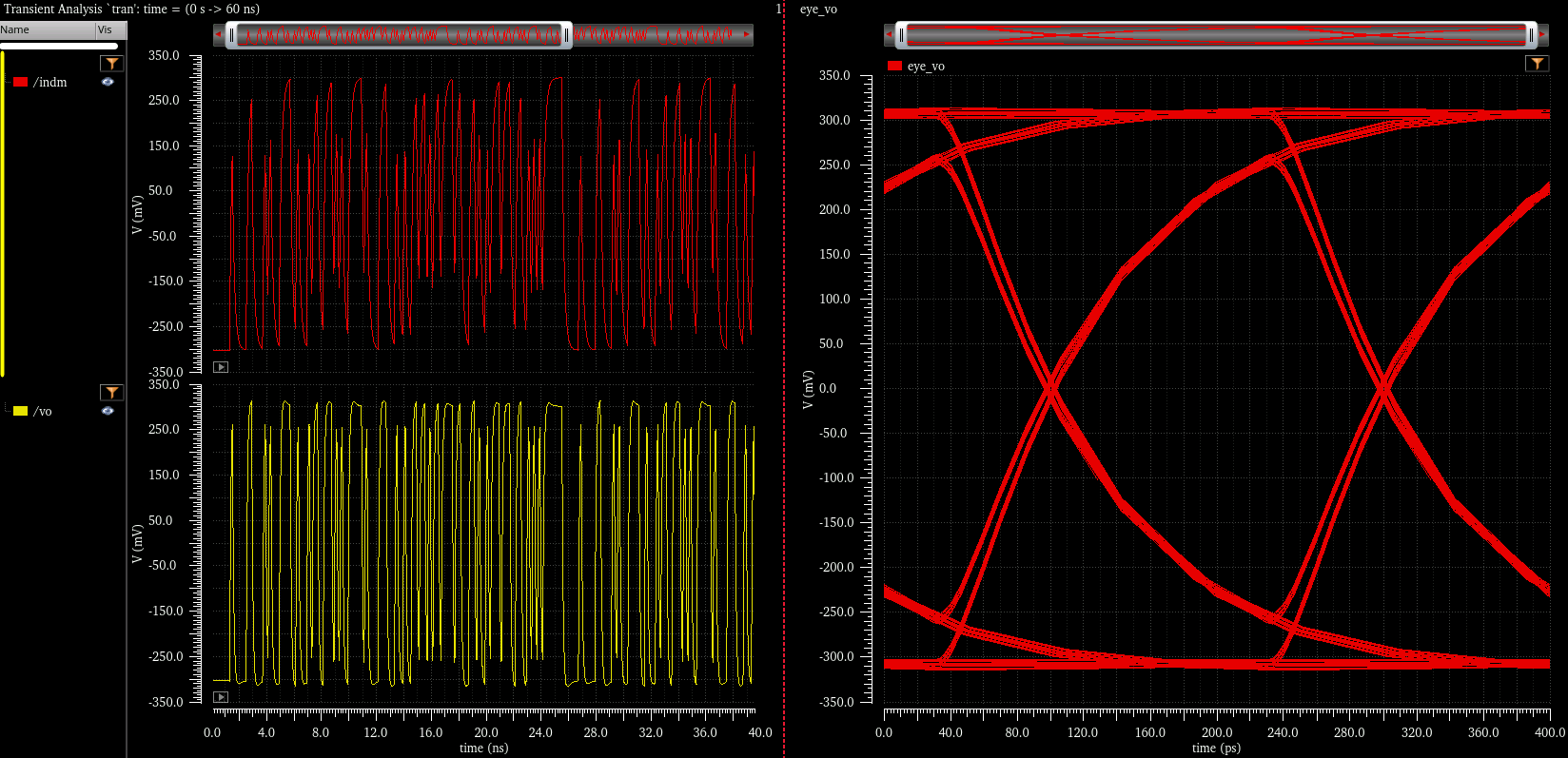
100Mb/s



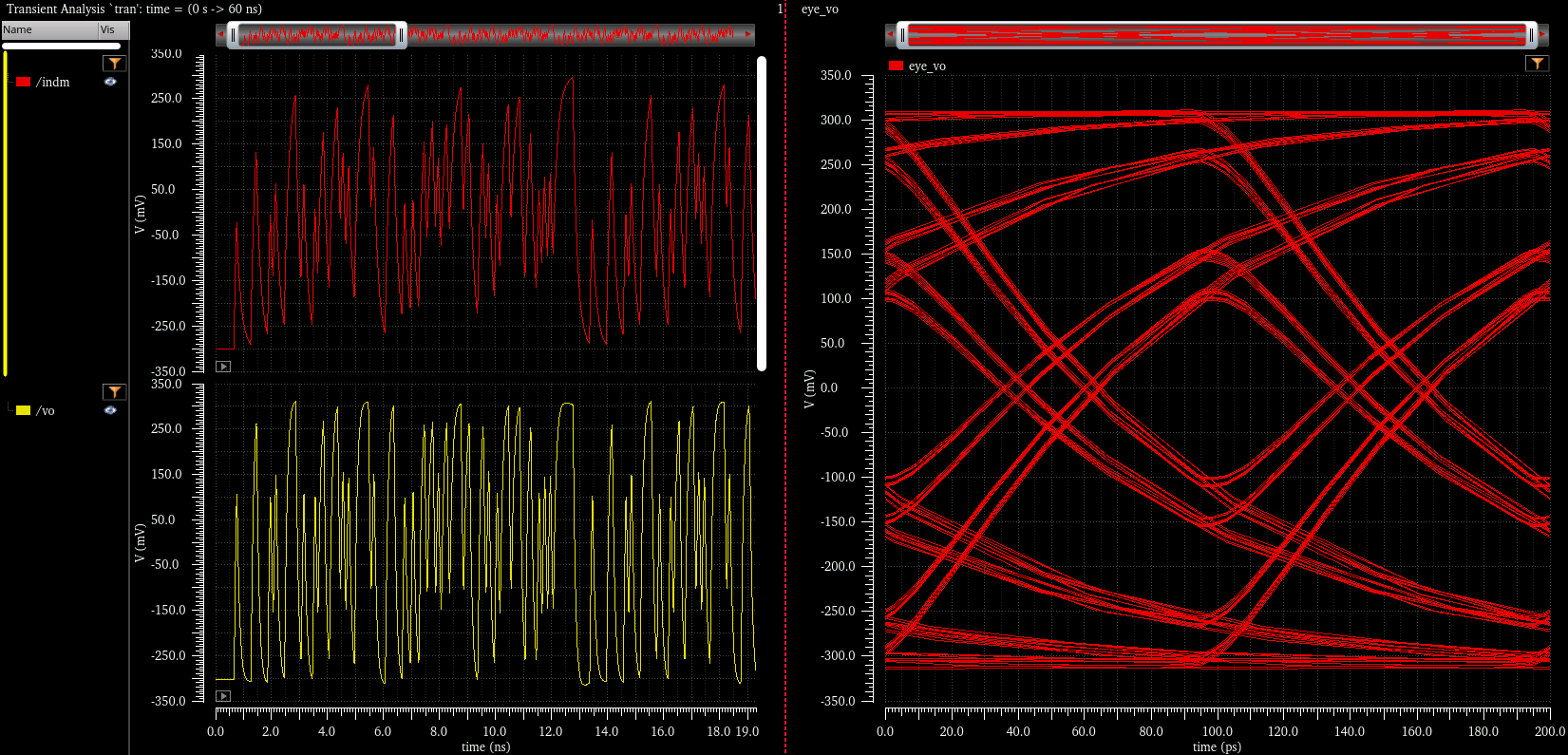
3. CTLE를 zero frequency = 1GHz로 재설계하고, cut-off frequency가 1GHz인 1st\_order low pass filter로 만든 채널을 연결하고 데이터 신호 인가 후 출력 파형 및 아이다이어그램 플롯

CTLE의 Cs 값을 10pF에서 1pF으로 낮추면 zero frequency가 1GHz로 된다. Ac gain이 조금 감소하지만 이를 높이기 위해 전력을 더 소모하므로 감소하는 gain은 고려하지 않고 진행하였다.

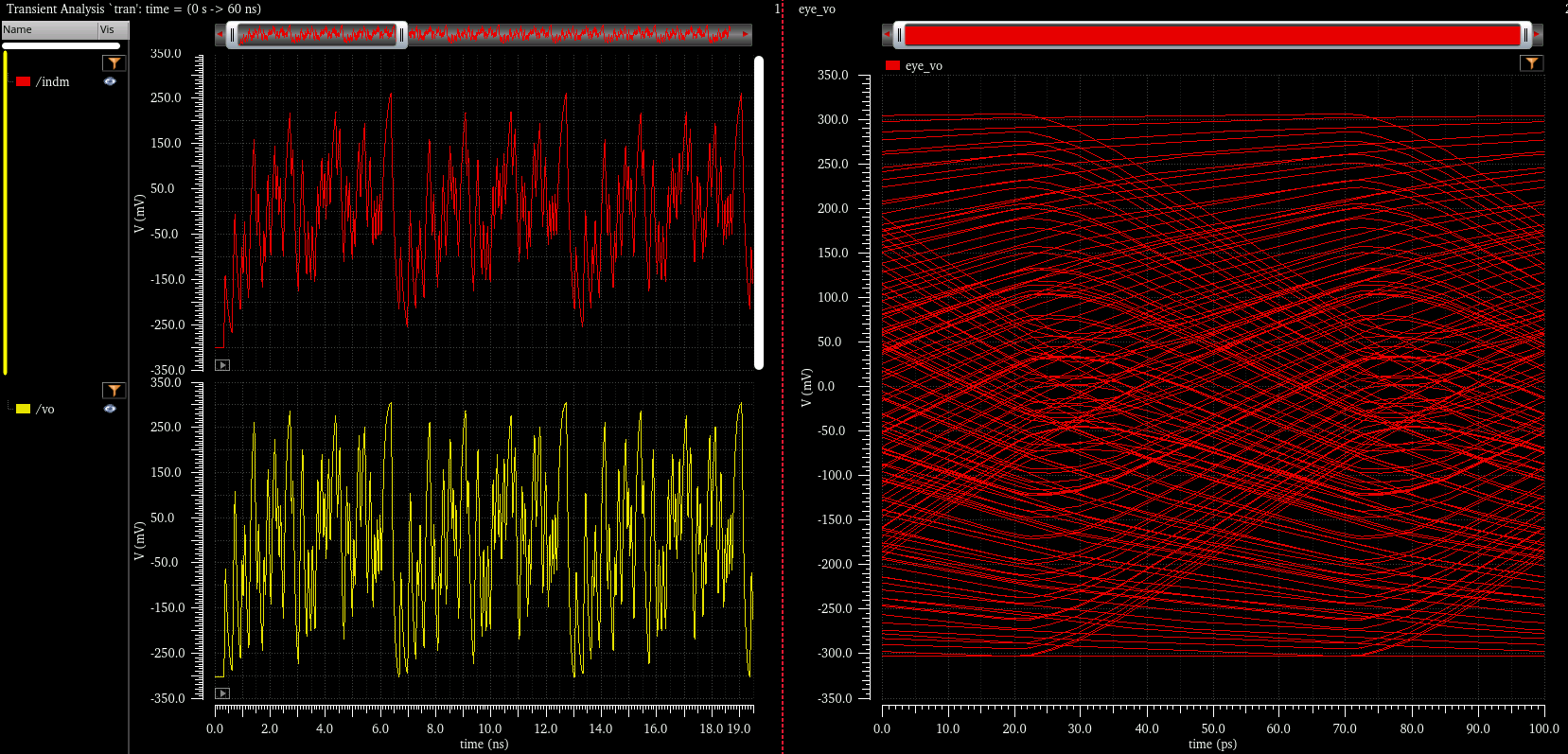
5Gb/s 신호를 인가한 결과



10Gb/s 신호를 인가한 결과

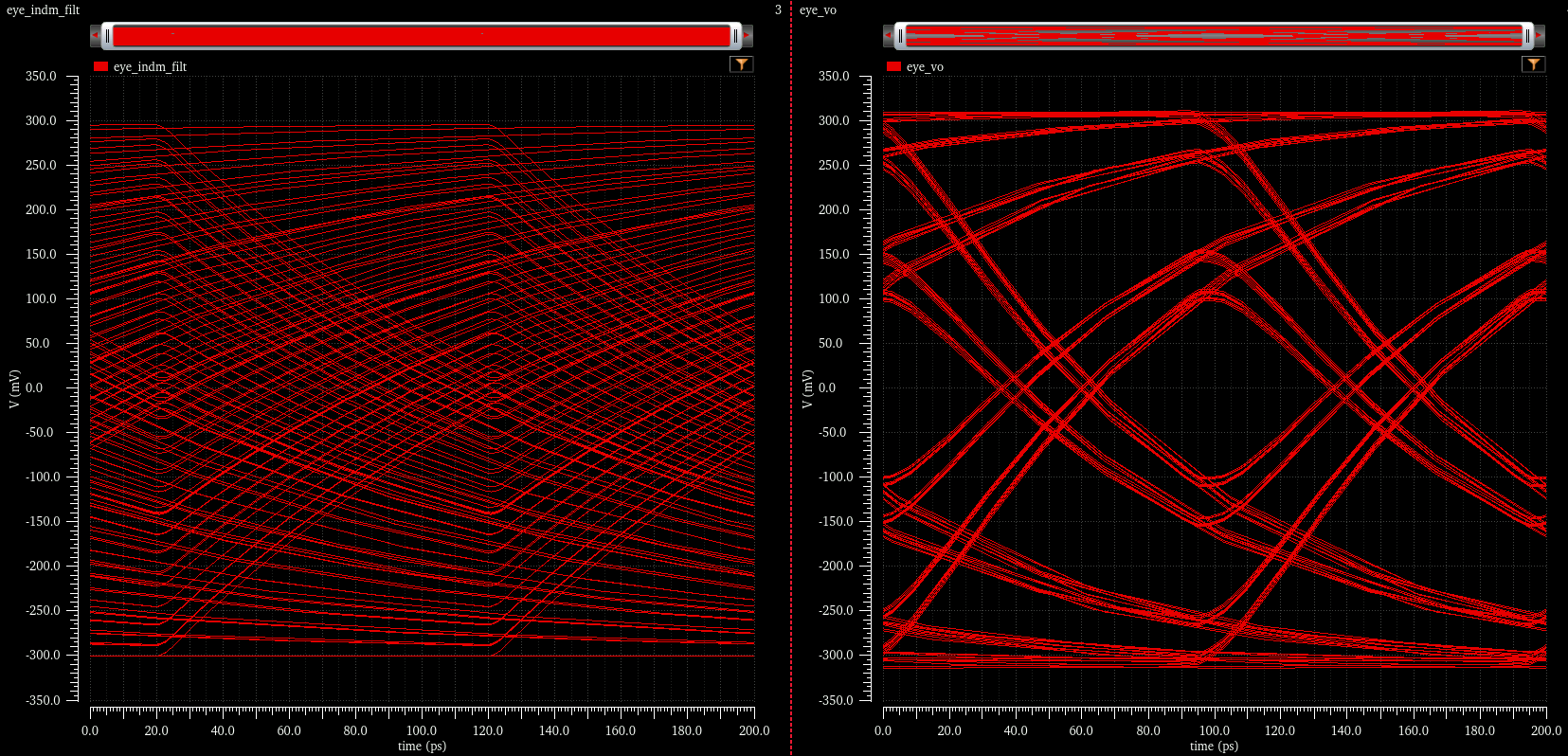


20Gb/s 신호를 인가한 결과



CTLE의 band width가 15GHz이기 때문에 5Gb/s 신호에서는 eye diagram 사이 폭이 충분하지만 10Gb/s는 gain이 감소하여 사이 폭이 감소하고 20Gb/s는 band width를 벗어났기에 eye diagram이 위와 같은 결과가 나오게 된다. 채널을 통과한 신호를 equalizer로 복원하는데 있어서 10Gb/s정도까지가 마지노선이라고 생각할 수 있다.

위의 결과에서는 CTLE를 통과한 결과만을 관찰했는데 10Gb/s 신호를 인가할 때 channel output과 equalizer로 복원한 결과는 아래와 같다.



1GHz 필터로 구성된 채널 통과 시 신호가 알아볼 수 없게 되었지만 CTLE를 통해 어느 정도 복원한 것을 확인할 수 있다.